

JC931 U.S. PTO
10/098524
03/18/02

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 52867 호
Application Number PATENT-2001-0052867

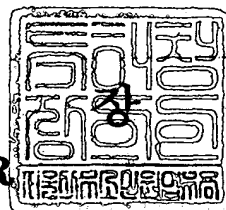
출원 년 월 일 : 2001년 08월 30일
Date of Application AUG 30, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청
COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0002 |
| 【제출일자】 | 2001.08.30 |
| 【발명의 명칭】 | 반도체 메모리 소자의 제조방법 |
| 【발명의 영문명칭】 | a method for manufacturing of semiconductor memory device |
| 【출원인】 | |
| 【명칭】 | 주식회사 하이닉스반도체 |
| 【출원인코드】 | 1-1998-004569-8 |
| 【대리인】 | |
| 【성명】 | 강성배 |
| 【대리인코드】 | 9-1999-000101-3 |
| 【포괄위임등록번호】 | 1999-024436-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 홍지석 |
| 【성명의 영문표기】 | HONG, Ji Suk |
| 【주민등록번호】 | 681031-1036616 |
| 【우편번호】 | 442-756 |
| 【주소】 | 경기도 수원시 팔달구 원천동 548번지 원천주공2단지아파트 201동 12 01호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 최철찬 |
| 【성명의 영문표기】 | CHOI, Chul Chan |
| 【주민등록번호】 | 700429-1177811 |
| 【우편번호】 | 431-070 |
| 【주소】 | 경기도 안양시 동안구 평촌동 은하수 한양아파트 505동 311호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
강성배 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 394,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 하나 이상의 깊이를 가진 아이솔레이션 형성시 공정을 단순화시킬 수 있는 반도체 메모리 소자의 제조방법에 관한 것으로, STI 및 DTI가 형성될 영역을 정의한 반도체 기판에 있어서, 상기 반도체 기판에 제 1, 제 2 절연막을 차례로 증착하는 단계와, 상기 반도체 기판과 제 1, 제 2 절연막을 선택적으로 식각하여 복수개의 STI를 형성하는 단계와, 상기 DTI가 형성될 영역이 노출되도록 레지스트를 형성한 후, 상기 레지스트 표면을 경화시키는 단계와, 상기 경화된 레지스트와 제 2 절연막을 마스크로 이용하여 DTI를 형성하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 4c

【명세서】

【발명의 명칭】

반도체 메모리 소자의 제조방법{a method for manufacturing of semiconductor memory device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 플래쉬 메모리 소자의 아이솔레이션 형성 공정을 나타낸 공정 단면도

도 2는 종래의 STI의 불량을 나타낸 도면

도 3은 종래의 패턴 콜랩스를 나타낸 도면

도 4a 내지 도 4d는 본 발명의 일실시예에 따른 플래쉬 메모리 소자의 아이솔레이션 형성 공정을 나타낸 공정 단면도

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판

101 : 제 1 절연막

102 : 제 2 절연막

103 : 제 1 포토레지스트

104a, 104b : STI

105 : 제 2 포토레지스트

105a : 경화된 제 2 포토레지스트

106 : DTI

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 메모리 소자의 제조방법에 관한 것으로, 특히 하나 이상의 깊이를 가진 아이솔레이션(isolation) 형성시 공정을 단순화시킬 수 있는 반도체 메모리 소자의 제조방법에 관한 것이다.

<11> NAND 타입 플래쉬 메모리 소자는 하나의 확산층을 공통으로 하고, 복수의 메모리 셀이 직렬이고 접속된 구조를 취해 입출력선(비트선)과 콘택을 복수개의 메모리 셀에서 공용하고 있다.

<12> 기능적으로는 NAND 타입 플래쉬 메모리 소자는 랜덤 읽는 속도가 NOR 타입 플래쉬 메모리 소자에 비해 늦고, 데이터 써넣기 및 소거를 NAND 셀 어레이에 직렬 접속한 복수개의 셀 하나의 집단으로 해야한다. 그러나 NAND 타입 플래쉬 메모리 소자는 셀 면적을 작게 할 수 있기 때문에 비트당 단가를 싸게 할 수 있는 이점을 갖는다.

<13> 한편, 최근 들어 NAND 타입 플래쉬 메모리 소자에서는 아이솔레이션 형성 공정시 기존의 STI(Shallow Trench Isolation) 타겟으로 하던 실리콘 에치 깊이를 DTI(Deep Trench Isolation) 공정을 적용하고자 시도하고 있다.

<14> 이하, 첨부된 도면을 참조하여 종래의 반도체 메모리 소자의 제조방법에 대하여 설명하기로 한다.

<15> 도 1a 내지 도 1d는 종래의 플래쉬 메모리 소자의 아이솔레이션 형성 공정을 나타낸 공정 단면도이다.

<16> 도 1a에 도시한 바와 같이 활성영역과 주변영역이 정의된 반도체 기판(10)에 STI가 형성될 영역 및 DTI가 형성될 영역을 정의한 후, 상기 기판(10) 전면에서 제 1, 제 2, 제 3 절연막(11)(12)(13)을 차례로 증착한다. 이때, 상기 제 1 절연막(11)은 패드 산화막이고, 상기 제 2 절연막(12)은 패드 질화막이며, 상기 제 3 절연막(13)은 하드 마스크로 사용되는 산화막이다.

<17> 이어, 상기 제 3 절연막(13)상에 제 1 포토레지스트(14)를 증착하고, 노광 및 현상공정을 이용하여 선택적으로 패터닝한다.

<18> 도 1b에 도시한 바와 같이 상기 패터닝된 제 1 포토레지스트(14)를 마스크로 이용하여 상기 제 1, 제 2, 제 3 절연막(11)(12)(13)과 기판(10)을 선택적으로 식각 제거하여 상기 주변영역에 복수개의 STI(15a, 15b)를 형성한다. 이때, 상기 STI(15a, 15b)의 깊이는 기판(10)으로부터 2500~3000Å이다.

<19> 한편, 후 공정의 DTI 형성시 STI 영역을 덮어주었던 상기 제 1 포토레지스터(14)가 충분히 버터주지 못하고 식각되기 때문에(즉, 상기 제 3 절연막(13)과 제 1 포토레지스트(14)의 선택비(0.9 : 1) 불량으로) 결국, 상기 STI(15a, 15b) 부위에 도 2와 같은 불량이 발생하여 디바이스 동작에 손상을 입히는 문제점이 발생한다. 따라서, 이것을 방지하기 위해 상기 제 3 절연막(13)을 형성한다.

<20> 도 1c에 도시한 바와 같이 상기 패터닝된 제 1 포토레지스트(14)를 제거한 후, 전면에서 제 2 포토레지스트(16)를 증착하고, 노광 및 현상공정을 이용하여

DTI가 형성될 영역이 노출되도록 상기 제 2 포토레지스트(16)를 패터닝한다. 이때, 상기 제 2 포토레지스트(16)의 두께는 $1\sim 3\mu\text{m}$ 이다.

<21> 도 1d에 도시한 바와 같이 상기 패터닝된 제 2 포토레지스트(16)와 상기 제 3 절연막(13)을 마스크로 이용하여 상기 STI(15b)가 형성된 기판(10)을 더 깊이 식각하여 DTI(17)를 형성한다. 이때, 상기 DTI(17)의 깊이는 기판(10)으로부터 $7000\sim 8000\text{\AA}$ 이다.

【발명이 이루고자 하는 기술적 과제】

<22> 그러나 상기와 같은 반도체 메모리 소자의 제조방법에 있어서는 다음과 같은 문제점이 있었다.

<23> DTI 형성시 STI 영역을 덮어주었던 포토레지스터가 충분히 버터주지 못하고 식각되기 때문에 결국 STI 부위가 수직한 프로파일을 갖지 못하고 불량 발생하여 디바이스 동작에 손상을 입히는 문제점을 방지하기 위해 하드 마스크를 사용한다. 따라서, 기존의 STI 공정에 비해 하드 마스크를 증착한 후, 식각까지 해야하는 공정이 추가되어야 한다.

<24> 또한, DTI 영역 오픈을 위한 포토레지스트의 두께가 어느 정도 이상($1\sim 3\mu\text{m}$) 두꺼워야 하는 한계를 갖고 있어 마스크 공정을 진행하는데 있어 공정 마진(margin)을 감소시킨다.

<25> 그리고 하드 마스크로 사용되는 산화막과 포토레지스트간의 계면상의 부조화로 인해 도 3과 같이 패턴 콜랩스(pattern collapse) 현상이 발생한다.

<26> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로 DTI 오픈 공정에 사용되는 포토레지스트의 물성을 변화시켜 식각 선택비(etch selectivity)를 강화하므로 공정을 단순화하고, 마스크 공정 마진을 증가시킬 수 있는 반도체 메모리 소자의 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<27> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 메모리 소자의 제조방법은 STI 및 DTI가 형성될 영역을 정의한 반도체 기판에 있어서, 상기 반도체 기판에 제 1, 제 2 절연막을 차례로 증착하는 단계와, 상기 반도체 기판과 제 1, 제 2 절연막을 선택적으로 식각하여 복수개의 STI를 형성하는 단계와, 상기 DTI가 형성될 영역이 노출되도록 레지스트를 형성한 후, 상기 레지스트 표면을 경화시키는 단계와, 상기 경화된 레지스트와 제 2 절연막을 마스크로 이용하여 DTI를 형성하는 단계를 포함하는 것을 특징으로 한다.

<28> 또한, 상기 레지스트 표면을 경화시키기 위해 상기 레지스트에 높은 에너지를 갖는 Ar를 이온주입 하는 것이 바람직하다.

<29> 또한, 상기 Ar의 농도는 $10^{12} \sim 10^{15} \text{cm}^{-2}$ 이고, 에너지는 수십 ~ 수백 KeV인 것이 바람직하다.

<30> 또한, 상기 레지스트 표면을 경화시키기 위해 상기 레지스트에 이-빔 큐어링(curing) 공정을 이용하는 것이 바람직하다.

<31> 또한, 상기 이-빔 큐어링 공정의 에너지는 $1000 \sim 2000 \text{ uC/cm}^2$ 인 것이 바람직하다.

- <32> 또한, 상기 레지스트 형성시 i-선(365nm), KrF(248nm), ArF(193nm) 광원중 어느 하나를 선택하여 이용하는 것이 바람직하다.
- <33> 이하, 첨부된 도면을 참조하여 본 발명의 반도체 메모리 소자의 제조방법에 대하여 보다 상세히 설명하기로 한다.
- <34> 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 플래쉬 메모리 소자의 아이솔레이션 형성 공정을 나타낸 공정 단면도이다.
- <35> 도 4a에 도시한 바와 같이 활성영역과 주변영역이 정의된 반도체 기판(100)에 STI가 형성될 영역과 DTI가 형성될 영역을 정의한 후, 상기 기판(100) 전면에서 제 1, 제 2 절연막(101)(102)을 차례로 증착한다. 이때, 상기 제 1 절연막(101)은 패드 산화막이고, 상기 제 2 절연막(102)은 패드 질화막이다.
- <36> 이어, 상기 제 2 절연막(102)상에 제 1 포토레지스트(103)를 증착하고, 노광 및 현상공정을 이용하여 상기 제 1 포토레지스트(103)를 선택적으로 패터닝한다.
- <37> 도 4b에 도시한 바와 같이 상기 패터닝된 제 1 포토레지스트(103)를 마스크로 이용하여 상기 제 1, 제 2 절연막(101)(102)과 기판(100)을 선택적으로 식각 제거하여 상기 주변영역에 복수개의 STI(104a, 104b)를 형성한다. 이때, 상기 STI(104a, 104b)의 깊이는 기판(100)으로부터 2500~3000Å이다.
- <38> 도 4c에 도시한 바와 같이 상기 패터닝된 제 1 포토레지스트(103)를 제거한 후, 전면에서 제 2 포토레지스트(105)를 증착하고, 노광 및 현상공정을 이용하여 DTI가 형성될 영역이 노출되도록 상기 제 2 포토레지스트(105)를 패터닝한다. 이

때, 상기 제 2 포토레지스트(105) 노광시 i-선(365nm), KrF(248nm), ArF(193nm) 광원중 어느 하나를 선택하여 이용하고, 이에 상응하는 감광제를 사용한다.

<39> 이어, 상기 패터닝된 제 2 포토레지스트(105)에 Ar 이온주입 공정을 실시하여 상기 패터닝된 제 2 포토레지스트(105a) 표면을 경화시킨다. 이때, 상기 Ar의 농도는 $10^{12} \sim 10^{15} \text{cm}^{-2}$ 이고, 10~200 Kev 에너지를 사용한다.

<40> 즉, 상기 제 2 포토레지스트(105) 표면에 높은 에너지를 갖는 Ar을 이온주입 시키면 이 에너지가 포토레지스트 폴리머를 크로스링크(crosslink)시켜 원래보다 단단한 물성(hardening)을 보이게 된다. 따라서, Ar 이온주입이 되지 않은 부분은 원래의 포토레지스트 물성을 보이는 반면 Ar 이온주입에 의해 경화된 포토레지스트는 식각물질(etchant)에 의해 제거되지 않고 남아있게 된다. 특히 Ar 자체는 불활성이므로 단지 에너지만 포토레지스트에 가하는 역할을 하고, 또 원자가 크므로 높은 에너지를 유발할 수 있는 좋은 이온주입 물질이다.

<41> 또한, 상기 패터닝된 제 2 포토레지스트(105)에 이-빔 큐어링(E-beam curing) 공정을 실시하여 상기 패터닝된 제 2 포토레지스트(105a) 표면을 경화시킨다. 이때, 상기 이-빔의 에너지 범위는 보통 $1000 \sim 2000 \text{u C/cm}^2$ 이다.

<42> 즉, 상기 패터닝된 제 2 포토레지스트(105) 표면에 높은 에너지를 갖는 이-빔을 가하여 포토레지스트 폴리머를 크로스링크시켜 식각 내성을 증가시킨다. 상기 이-빔을 포토레지스트에 조사하면 약간의 레지스트 탑 손실(resist top loss)이 발생하나 손실보다 식각 내성의 증가 효과에 대한 잇점이 더 크다.

<43> 도 4d에 도시한 바와 같이 상기 경화된 제 2 포토레지스트(105a)와 상기 제 2 절연막(102)을 마스크로 이용하여 상기 STI(104b)가 형성된 기판(100)을 더 깊이 식각하여 DTI(106)를 형성한다. 이때, 상기 DTI(106)의 깊이는 기판(100)으로부터 7000~8000 Å이다.

【발명의 효과】

<44> 이상에서 설명한 바와 같이 본 발명의 반도체 메모리 소자의 제조방법에 의하면, 종래에 비해 하드 마스크용 산화막을 증착하고, 패터닝하는 공정을 줄이게 되어 공정을 단순화시킬 수 있다.

<45> 또한, 산화막과 레지스트간 계면상의 부조화로 인한 패턴 콜랩스를 예방할 수 있고, 레지스트의 두께가 줄어들에 따라 마스크 공정 마진을 증가시킬 수 있다.

【특허청구범위】

【청구항 1】

STI(Shallow Trench Isolation) 및 DTI(Deep Trench Isolation)가 형성될 영역을 정의한 반도체 기판에 있어서,

상기 반도체 기판에 제 1, 제 2 절연막을 차례로 증착하는 단계와;

상기 반도체 기판과 제 1, 제 2 절연막을 선택적으로 식각하여 복수개의 STI를 형성하는 단계와;

상기 DTI가 형성될 영역이 노출되도록 레지스트를 형성한 후, 상기 레지스트 표면을 경화시키는 단계와;

상기 경화된 레지스트와 제 2 절연막을 마스크로 이용하여 DTI를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 레지스트 표면을 경화시키기 위해 상기 레지스트에 높은 에너지를 갖는 Ar를 이온주입 하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 Ar의 농도는 $10^{12} \sim 10^{15} \text{cm}^{-2}$ 이고, 에너지는 $10 \sim 200 \text{KeV}$ 인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 레지스트 표면을 경화시키기 위해 상기 레지스트에 이-빔 큐어링 (curing) 공정을 이용하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 5】

제 4 항에 있어서,

상기 이-빔 큐어링 공정의 에너지는 $1000 \sim 2000 \text{ uC/cm}^2$ 인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 레지스트 형성시 i-선, KrF, ArF 광원중 어느 하나를 선택하여 이용하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 제 1 절연막은 패드 산화막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

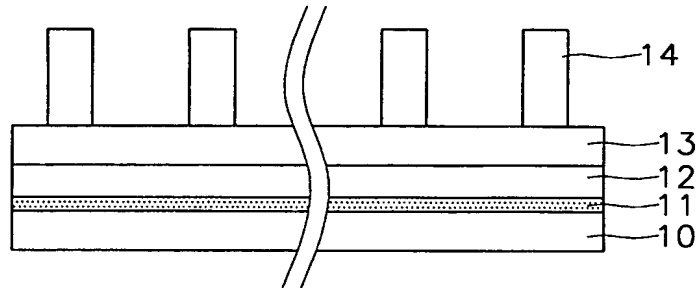
【청구항 8】

제 1 항에 있어서,

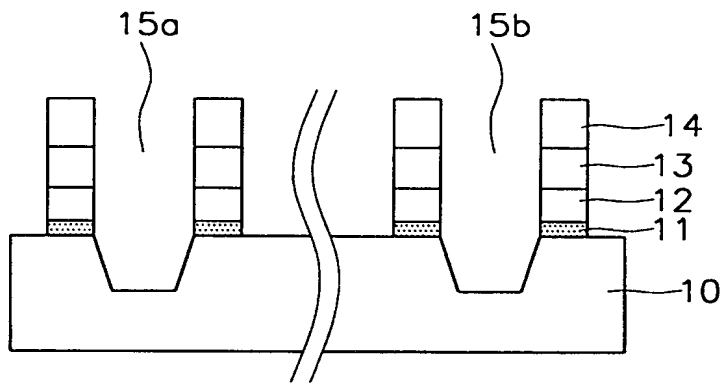
상기 제 2 절연막은 패드 질화막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【도면】

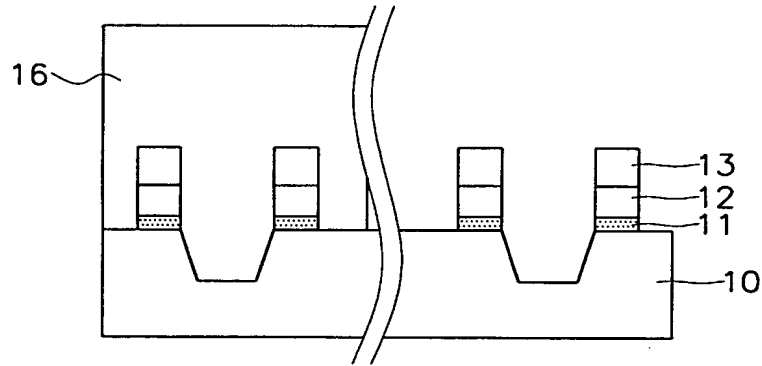
【도 1a】



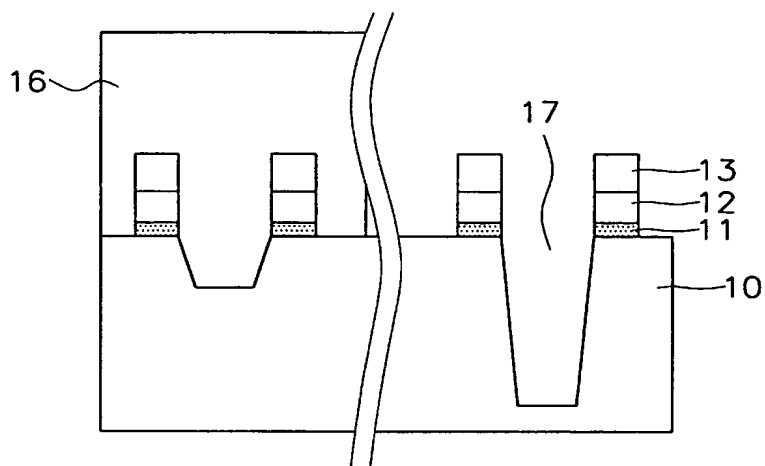
【도 1b】



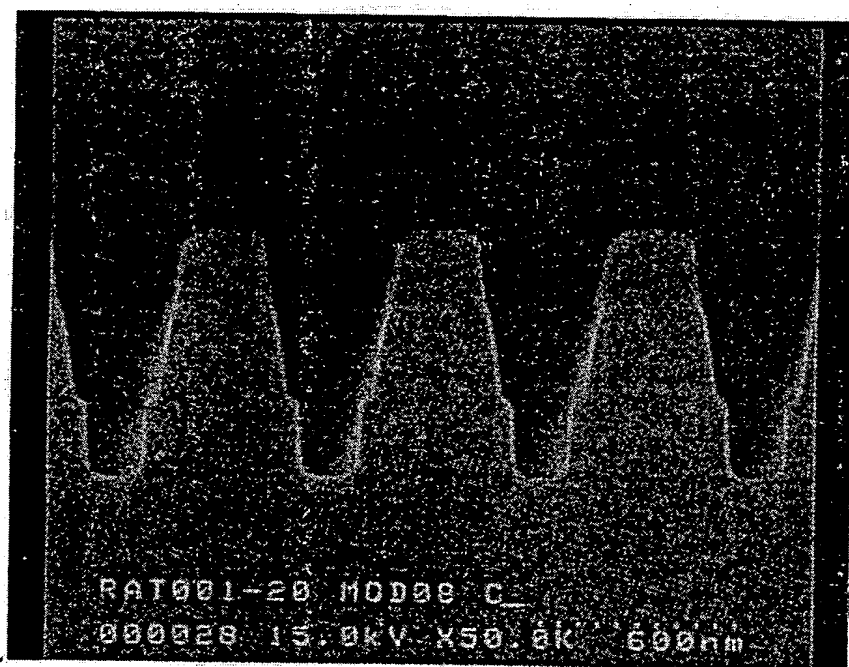
【도 1c】



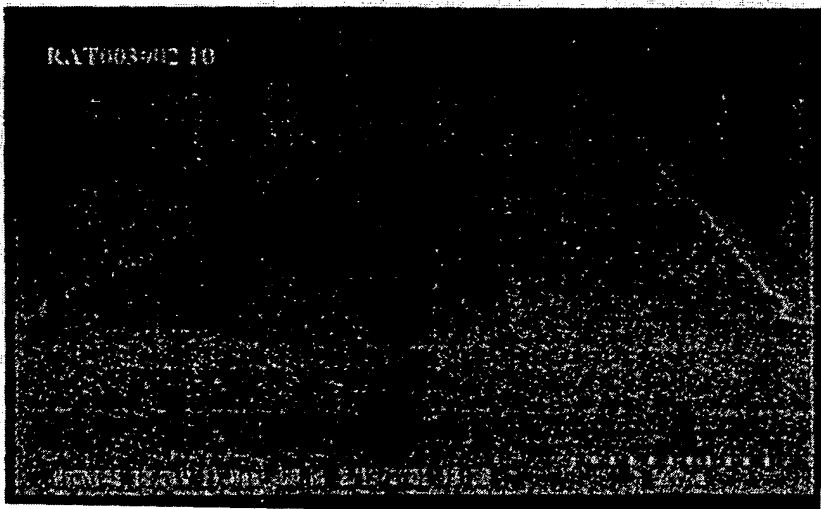
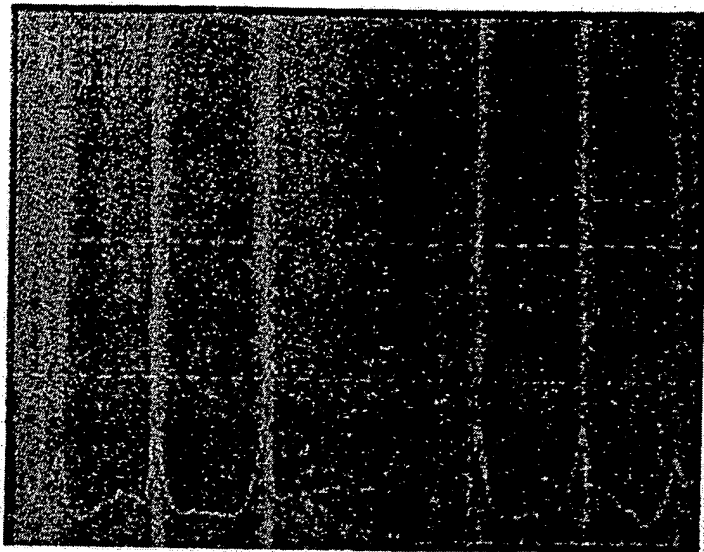
【도 1d】



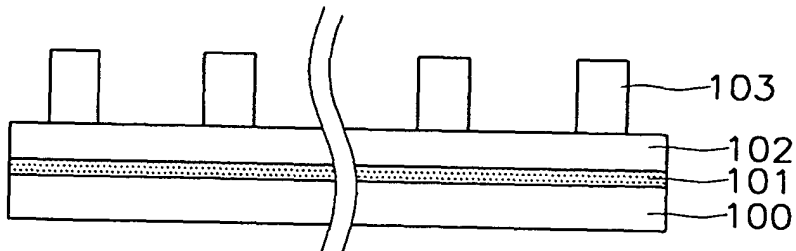
【도 2】



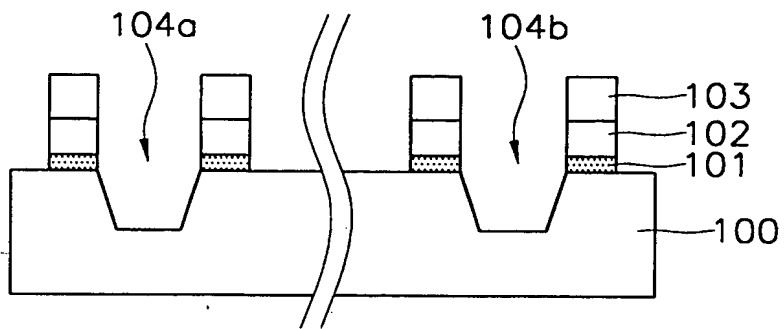
【도 3】



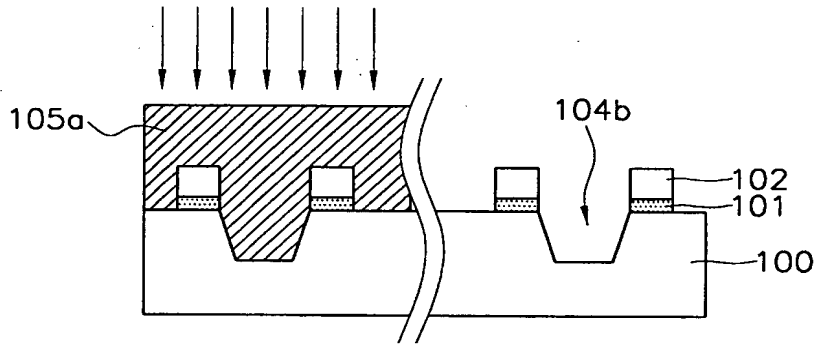
【도 4a】



【도 4b】



【도 4c】



【도 4d】

